

Université
de Liège



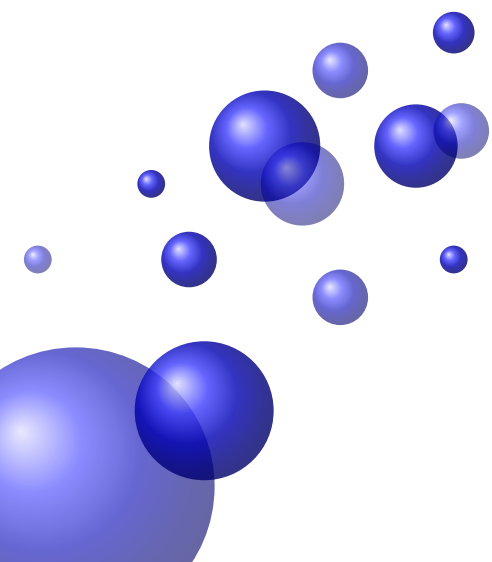
ELECTRONIQUE NUMÉRIQUE

Laboratoire n°1 : Rapport

2ème bachelier en sciences de l'ingénieur

Auteurs :
TOSCANO Jeisson
SACRE Loïc
LECLERCQ Nicolas
CAJOT Antoine

11 mars 2017



1.1 Le compteur 4-bit

1.1.1 Le compteur 4-bit asynchrone

(a) Vérification de la connexion entre le 4^{ème} flip-flop (Q_A) et les trois autres

La Figure 3 du manuel de laboratoire nous apprend que le flip-flop Q_A se trouve sur la 3^{ème} broche à droite en partant du haut (le haut du counter étant indiqué par une encoche en forme de demi-cercle située à l'extrémité). Tout d'abord, nous remarquons le schéma de la carte de laboratoire des notes que Q_A est directement relié à CKB (c'est-à-dire la broche input B, située en haut à gauche). Le diagramme du circuit interne nous montre que l'input B est bien reliée.

(b) Raccord de MR1 et MR2 à la masse

Cela se fait en un posant un cavalier aux endroits J0 et J1. Ce composant permet de relier deux broches entre-elles. Sur le schéma de la carte de laboratoire, nous remarquons très clairement que les jumpers J0 et J1 permettent de relier les entrées R1(MR1) et R2(MR2) à la terre (dénotee GND). Nous voyons sur le diagramme du circuit interne du 4-bit Ripple counter que si R1 et R2 sont ne sont pas à 1 simultanément, alors les CLR ("clear") des registres ne seront pas actifs et les séquences du compteur ne seront pas interrompues. Ici, le fait qu'elles soient reliées à GND leur affecte toutes deux la valeur 0, ce qui se traduit par un 1 à la sortie du NAND. Ce 1 sera ensuite complémenté avant d'arriver à CLR, ce qui donnera 0 (= inactivité de CLR).

(c) et (d) Test du compteur et Visualisation

Le jumper 2 (J2) est le lien entre le bouton B1 et l'entrée A, comme nous pouvons le voir sur le schéma de la carte de laboratoire ou la « bottom layer ». Si nous déconnectons le cavalier à cet endroit et que l'on connecte le générateur d'impulsions, nous pouvons observer que les LEDs comptent cycliquement en binaire (de 0 à 15). Bien sûr, pour que l'observation soit possible à l'oeil, l'utilisation d'une fréquence de signal non trop élevée est requise.

(e) Interrupteur et Effet rebond

Le rebond est issu d'un problème mécanique. Lorsque l'on appuie sur le bouton (interrupteur), le contact instantané entre les fils peut les faire rebondir l'un contre l'autre et ainsi créer une variation rapide de tension. En fait, lorsqu'on appuie sur le bouton, on relie l'entrée A à la terre et donc la tension sera nulle. C'est durant cette courte période (l'appui) que nous avons pu l'observer sur l'oscilloscope :

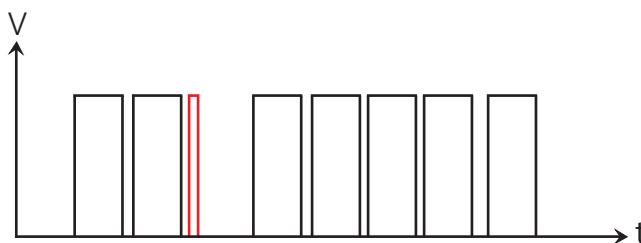


FIGURE 1.1 – Représentation dans l'oscilloscope (tension en fonction du temps)

(f) Comparaison des traces de l'entrée d'horloge avec les différentes sorties

Dans le schéma de la figure 3 du manuel de laboratoire, nous constatons que chaque sortie de flip-flop devient l'entrée du flip-flop suivant. Ainsi, on observe que les signaux Q_A , Q_B , Q_C et Q_D s'inversent tous à chaque flanc descendant du signal de la sortie du flip-flop auquel il est connecté ($Q_A \rightarrow Q_B \rightarrow Q_C \rightarrow Q_D$). Ceci a pour effet de diviser par 2 la fréquence de la trace des sorties, successivement. Ainsi, lorsque l'on arrive un flanc descendant de l'horloge et que l'entrée de Q_A est active, la sortie Q_A (c.-à-d. l'entrée B) se complémente. Mais pour que la sortie de Q_B se complémente à son tour, il faudra attendre un flanc descendant de la sortie de Q_A , ce qui prendra 2 fois la période de l'horloge en plus ; et ainsi de suite. Le résultat est un compteur binaire.

(g) BCD synchrone vs asynchrone

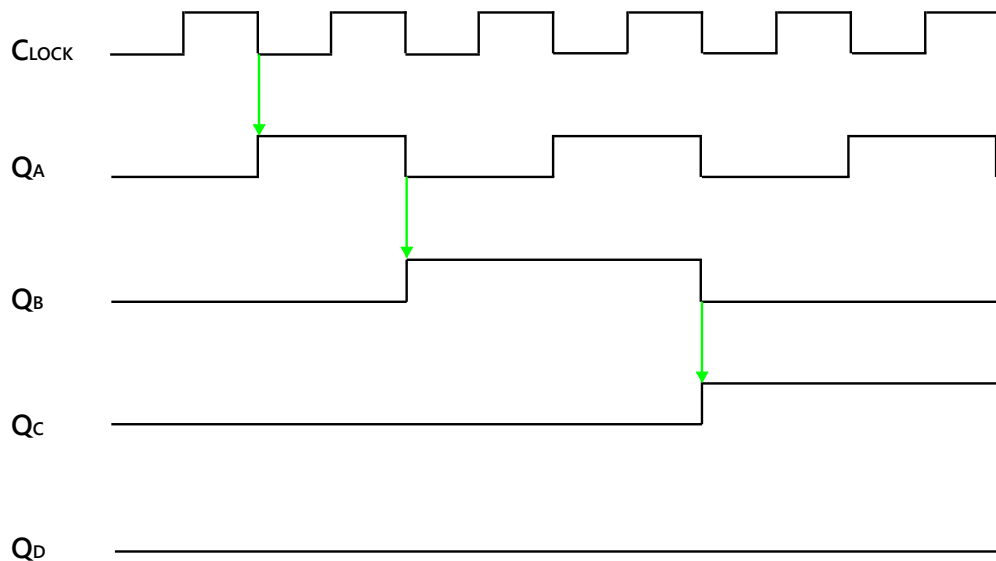


FIGURE 1.2 – Sortie de Q_A , Q_B , Q_C , Q_D et de l'horloge (tension en fonction du temps)

	MRO	MR1	Pourquoi ?
Compteur asynchrone	Q_B	Q_A	Car le changement se fait trop rapidement et le 10 est donc impossible à observer.
Compteur synchrone	Q_D	Q_D	Car le changement se fait au coup d'horloge, c'est-à-dire lorsque l'on appuie sur le bouton.

TABLE 1.1 – Temps de latence causé par les portes

Dans le cas d'un compteur synchrone, lorsque l'on a réalisé le câblage et que le compteur arrive à 9 en binaire, Q_A et Q_D sont à niveau haut. Ces derniers étant connectés à MR0 et MR1 (nommés R01 et R02 à la Figure 2 du manuel), ils mettent les entrées CLR de tous les flip-flops à niveau haut. Le circuit étant asynchrone, il n'est donc pas nécessaire pour ces flip-flops d'attendre un flanc descendant et ainsi les flip-flops sont quasiment instantanément réinitialisés lorsque les entrées CLR sont activées. Dans la pratique, on n'observe pas l'affichage en binaire du 9 tellement son apparition est brève.

Dans le cas d'un circuit synchrone, nous pouvons au contraire observer l'affichage de tous les numéros voulus comme attendu. En effet, dans ce type de circuits, une même clock relie tous les flip-flops qui ne peuvent dès lors changer d'état que lors d'un flanc montant de la clock. Cette configuration empêche un phénomène comme celui du circuit asynchrone précédent de se produire. Ainsi, à l'arrivée de l'étape de l'affichage du 9 en binaire, ce dernier, bien qu'activant l'entrée CLR, ne produit pas de ré-initialisation de tous les flip-flops tout de suite tant que la clock n'est pas arrivé à un flanc montant. De ce fait, nous pouvons clairement observer la progression du compteur jusqu'à 9. Nous remarquons donc que dans le circuit synchrone, l'indépendance de la clock vis à vis des autres éléments du circuit permet une orchestration de l'ensemble du circuit tandis que dans un fonctionnement asynchrone, chaque composante du circuit est dépendante des modifications des éléments auxquels ils sont connectés.

Si l'on souhaite que le circuit affiche de manière visible le comptage de 0 à 5, nous devons prévoir, en raison du problème mentionné auparavant, que ce comptage s'effectue jusqu'à 6. Dans ce cas, nous connectons MR0 et MR1 à Q_B et Q_C respectivement.

Délai de (en ns)	2 inverseurs	4 inverseurs	6 inverseurs
Datasheet ($V_{cc}=5V$, $T^{\circ} \text{ ambiante}=25^{\circ}C$)	16	32	48
Mesuré	18,8	28	36,4

2.1 Délai d'inversion en cascade

Conclusion : Les valeurs obtenues grâce l'oscilloscope diffèrent des données fournis par le fabricant. Beaucoup de paramètres rentrent en jeu. Un fabricant fera toujours les test dans des conditions optimales avec du matériel neuf. Lors de la manipulation au laboratoire, la température ainsi que l'usure du matériel influençaient les résultats. Nous remarquons aussi que plus le nombre d'inverseurs est élevé, plus grande est la différence avec la datasheet. En effet, nos manipulations en laboratoire montrent que le temps de latence par porte semble se réduire avec un plus grand nombre de portes, alors que selon la datasheet, on devrait s'attendre à un temps de latence équivalent quel que soit le nombre de portes utilisées.

3.1 Le timer 555

3.1.1 Le mode astable

Les temps pendant lequel la sortie sera haute T_h et basse T_b sont donnés par

$$T_h = 0.695(R_a + R_b)C = 7,645 \text{ ms} \quad (3.1)$$

$$T_l = 0.695R_bC = 695 \text{ } \mu s \quad (3.2)$$

La période totale et la fréquence de la sortie sont alors donné par

$$T = T_h + T_l = 0.695(R_a + 2R_b)C = 8,34 \text{ ms} \quad (3.3)$$

et

$$F = \frac{1}{T} = \frac{1.44}{(R_a + 2R_b)C} = 120 \quad (3.4)$$

Pour configurer le timer 555 en mode astable, nous avons enlevé le jumper 3 et mis l'interrupteur vers le haut.

Fonctionnement du Timer 555

En analysant la figure 5 des notes (Schéma interne du Timer 555), nous pouvons voir qu'il contient deux comparateurs avec chacun deux pattes (notons les : haut (C1) et bas (C2)) et 3 résistances identiques afin de diviser la tension d'alimentation (V_{cc}) en 3 parties et de fournir aux comparateurs C1 et C2, deux voltages de référence qui seront respectivement de $2/3$ et de $1/3$ de V_{cc} . L'autre patte des comparateurs est connecté à THRES pour C1 et TRIG pour C2. THRES et TRIG sont reliés ensemble à un condensateur C.

Dans un premier temps, considérons un état de repos (tension nulle aux bornes du condensateurs) $\Rightarrow V1 > \text{THRES}$ et $V2 > \text{TRIG}$. La sortie de C1 est donc à 0 et celle de C2 à 1. Le flip-flop RS (R pour RESET et S pour SET) sera alors en mode « set » et sa sortie OUT sera à 1. Cette valeur complémentée sera envoyée au transistor qui va ainsi rester ouvert et permettre au condensateur de se charger.

Le condensateur approchant la limite de son chargement, la tension $V1$ va donc devenir inférieur à THRES et $V2$ supérieur à TRIG. Les valeurs à la sortie de C1 et C2 seront respectivement de 1 et 0. Nous passons en mode RESET et la sortie OUT du flip-flop sera à 0. Cette valeur, après avoir été complémentée, sera envoyée au transistor qui va fermer le circuit. Le condensateur va ensuite se décharger.

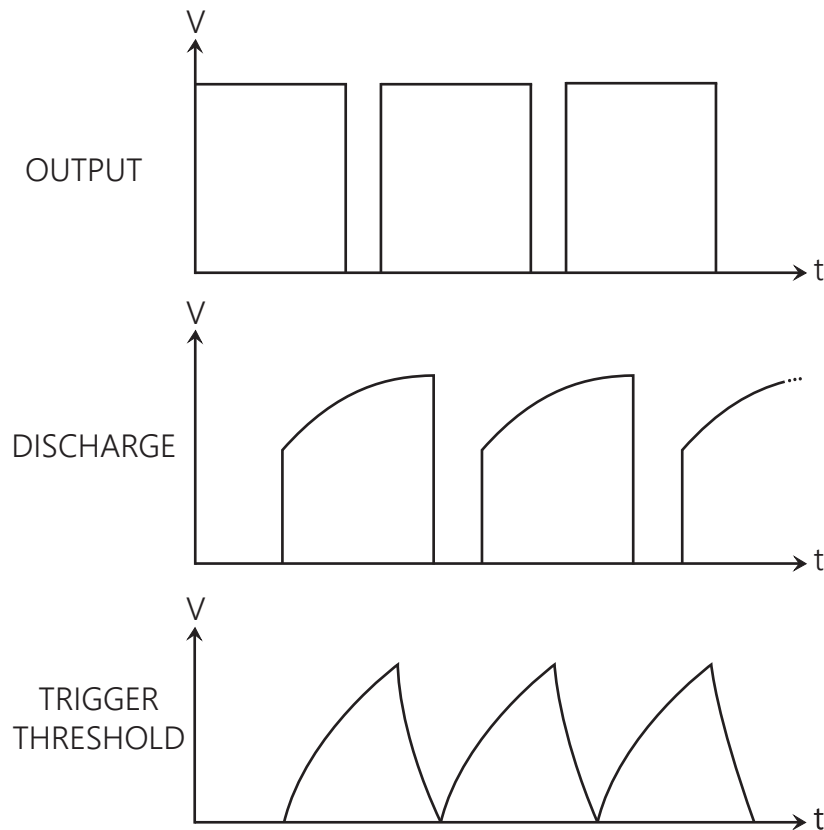


FIGURE 3.3 – Evolution temporelle de différentes tensions

Cependant, avant que le condensateur se charge suffisamment, un état intermédiaire est atteint. La sortie de C1 et C2 est de 0. Le OUT prendra donc la valeur de OUT à l'instant précédent (dans ce cas-ci : 1).

Sur la figure 3.3, nous pouvons observer un signal de sortie (OUPUT) binaire qui passe successivement d'une haute à une basse tension. Ensuite, le signal de DISCHARGE correspond uniquement aux charges successives du condensateur tandis que le signal de TRIGGER/THRESHOLD suit bien la courbe de charge et de décharge du condensateur. En fait, on observe des coupures sur la courbe de DISCHARGE car c'est à ces moment là que le transistor ouvre le circuit et cela a donc pour effet de relier le condensateur à la terre.

Effet du potentiomètre

Lorsque l'on augmente la résistance variable du potentiomètre, les valeurs de V1 et V2 vont diminuer. Ainsi, le temps de charge et de décharge du condensateur vont diminuer aussi.

3.1.2 Le mode monostable

La largeur du pulse vaut

$$T_w = 1.1R_aC = 11 \text{ ms} \quad (3.5)$$

Pour passer du mode astable au mode monostable, nous avons placé le jumper 3 et mis l'interrupteur vers le bas. La nouvelle configuration du timer 555 nous permet de voir que la sortie sera à 1 lorsque l'on appuie sur le bouton relié à V_{cc} .

Si on appuie pas sur le bouton, on aura V1 inférieure à THRES et V2 inférieure à TRIG, la sortie du flip-flop sera donc à 0 après complément. Lors de l'appui sur le bouton, le condensateur ne sera plus alimenté et V1 et V2 deviendront plus grande que THRES et TRIG.

Lors du relâchement du bouton, le condensateur se chargera, en conséquence la sortie ne sera pas immédiatement égale à 1.

Le but d'une telle configuration sera de permettre d'avoir la sortie à 1 indépendamment du temps d'appui sur le bouton, ce qui évite les effets rebond de celui-ci. Il y a cependant un problème lors de l'appui : la sortie reste à 1 pendant un temps égal au temps d'appui sur le bouton. Ceci peut être expliqué par le fait que le temps de charge du condensateur est plus petit que le temps d'appui.

Pour éviter ce problème, on a le choix entre prendre une plus grande résistance et/ou une plus grande capacité, et utiliser un générateur de tension à la place du bouton.